



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2002-0042627  
Application Number

출원년월일 : 2002년 07월 19일  
Date of Application JUL 19, 2002

출원인 : 주식회사 하이닉스반도체  
Applicant(s) Hynix Semiconductor Inc.



2003 년 05 월 14 일

특 허 청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0018
【제출일자】	2002.07.19
【발명의 명칭】	강유전체 메모리 소자 및 그 제조 방법
【발명의 영문명칭】	Ferroelectric Random Access Memory and method for fabricating the same
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【명칭】	특허법인 신성
【대리인코드】	9-2000-100004-8
【지정된변리사】	변리사 정지원, 변리사 원석희, 변리사 박해천
【포괄위임등록번호】	2000-049307-2
【발명자】	
【성명의 국문표기】	염승진
【성명의 영문표기】	YEOM, Seung Jin
【주민등록번호】	630909-1018621
【우편번호】	467-850
【주소】	경기도 이천시 대월면 사동리 현대5차아파트 502-1704
【국적】	KR
【발명자】	
【성명의 국문표기】	최은석
【성명의 영문표기】	CHOI, Eun Seok
【주민등록번호】	701010-1031211
【우편번호】	463-070
【주소】	경기도 성남시 분당구 야탑동 344 장미마을현대아파트 802-603
【국적】	KR
【심사청구】	청구

1020020042627

출력 일자: 2003/5/15

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인  
특허법인 신성 (인)

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 2 면 2,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 10 항 429,000 원

【합계】 460,000 원

【첨부서류】

1. 요약서·명세서(도면)\_1통

## 【요약서】

## 【요약】

본 발명은 하부전극을 고립절연막에 매립시키는 화학적기계적연마과정시 하부전극을 이루는 금속막이 뜯어져 나가는 것을 방지하는데 적합한 강유전체 메모리 소자 및 그 제조 방법을 제공하기 위한 것으로, 본 발명의 강유전체 메모리 소자의 제조 방법은 트랜지스터가 형성된 반도체기판 상부에 층간절연막을 형성하는 단계, 상기 층간절연막을 관통하여 상기 트랜지스터의 소스/드레인영역에 이르는 스토리지노드콘택을 형성하는 단계, 상기 스토리지노드콘택에 연결되며 적어도 최상층에 금속(M) 원소가 도핑되어 고용 강화된 고용막을 포함하는 하부전극을 형성하는 단계, 상기 하부전극의 표면을 노출시키면서 상기 하부전극을 에워싸는 고립절연막을 형성하는 단계, 상기 고립절연막을 포함한 전면에 강유전체막을 형성하는 단계, 및 상기 강유전체막상에 상부전극을 형성하는 단계를 포함한다.

## 【대표도】

도 2b

## 【색인어】

강유전체, 백금막, 고용막, 금속원소, 스퍼터링, 타겟, 화학적기계적연마

## 【명세서】

## 【발명의 명칭】

강유전체 메모리 소자 및 그 제조 방법 {Ferroelectric Random Access Memory and method for fabricating the same}

## 【도면의 간단한 설명】

도 1은 종래기술에 따른 강유전체 메모리 소자를 도시한 도면,  
도 2a는 본 발명의 실시예에 따른 강유전체 메모리 소자를 도시한 도면,  
도 2b는 도 2a에 도시된 강유전체 메모리 소자의 제조 공정 흐름도,  
도 3a 내지 도 3e는 도 2b에 따른 강유전체 메모리 소자의 제조 방법을 도시한 공정 단면도.

## \*도면의 주요 부분에 대한 부호의 설명

- |                     |               |
|---------------------|---------------|
| 31 : 반도체기판          | 32 : 소자분리막    |
| 33 : 게이트산화막         | 34 : 워드라인     |
| 35a, 35b : 소스/드레인영역 | 36 : 제1 층간절연막 |
| 37 : 비트라인콘택         | 38 : 비트라인     |
| 39 : 제2 층간절연막       | 40 : 스토리지노드콘택 |
| 41a : 이리듬막          | 42a : 이리듬산화막  |
| 43a : 백금-M 고용막      | 44 : 고립절연막    |

45 : 강유전체막

46 : 상부전극

## 【발명의 상세한 설명】

## 【발명의 목적】

## 【발명이 속하는 기술분야 및 그 분야의 종래기술】

<14> 본 발명은 반도체소자의 제조 방법에 관한 것으로, 특히 강유전체 메모리소자 및 그 제조 방법에 관한 것이다.

<15> 일반적으로, 반도체 메모리 소자에서 강유전체(Ferroelectric) 박막을 강유전체 캐패시터에 사용함으로써 DRAM(Dynamic Random Access Memory) 소자에서 필요한 리프레쉬(Refresh)의 한계를 극복하고 대용량의 메모리를 이용할 수 있는 소자의 개발이 진행되어왔다. 이러한 강유전체 박막을 이용하는 강유전체 메모리 소자(Ferroelectric Random Access Memory; 이하 'FeRAM'이라 약칭함) 소자는 비휘발성 메모리 소자(Nonvolatile Memory device)의 일종으로 전원이 끊어진 상태에서도 저장 정보를 기억하는 장점이 있을 뿐만 아니라 동작 속도도 DRAM에 필적하여 차세대 기억소자로 각광받고 있다.

<16> 도 1은 종래기술에 따른 강유전체 메모리 소자를 도시한 소자 단면도이다.

<17> 도 1을 참조하면, 반도체기판(11)에 활성영역을 정의하는 소자분리막(12)이 형성되고, 반도체기판(11)상에 게이트산화막(13)과 워드라인(14)의 적층구조물이 형성되며, 워드라인(14) 양측의 반도체기판(11)에 소스/드레인영역(15a, 15b)이 형성된다.

- <18> 그리고, 워드라인(14)과 소스/드레인영역(15a, 15b)을 포함하는 트랜지스터상에 제1 층간절연막(16)이 형성되고, 제1 층간절연막(16)을 관통하여 일측 소스/드레인영역(15a)에 콘택되는 비트라인콘택(17)을 통해 비트라인(18)이 연결된다.
- <19> 그리고, 비트라인(18)을 포함한 전면에 제2 층간절연막(19)이 형성되고, 제 2층간 절연막(19)과 제1 층간절연막(16)을 동시에 관통하여 타측 소스/드레인영역(15b)에 이르는 스토리지노드콘택(20)이 형성된다.
- <20> 그리고, 스토리지노드콘택(20)에 연결되는 하부전극(21)이 형성되고, 이웃한 하부전극(21)간 격리를 위해 평탄화된 고립절연막(22)이 하부전극(21)을 에워싸고 있으며, 고립절연막(22)과 하부전극(21)을 강유전체막(23)이 덮는다. 여기서, 강유전체막(23)은 셀영역에만 형성된다. 이때, 하부전극(21)은 이리듐막(Ir, 21a), 이리듐산화막( $\text{IrO}_2$ , 21b), 백금막(Pt, 21c)의 순서로 적층된 적층막(Pt/ $\text{IrO}_2$ /Ir) 이다.
- <21> 마지막으로, 강유전체막(23) 상에 상부전극(24)이 형성된다.
- <22> 상술한 종래기술에서는 고립절연막(22)이 하부전극(21)을 에워싸는 형태로 형성시키기 위해, 하부전극(21)을 먼저 형성한 후 고립절연막(22)을 증착하고 하부전극(21) 표면이 드러날때까지 화학적기계적연마(Chemical Mechanical Polishing; CMP)를 통해 고립절연막(22)을 평탄화시킨다.
- <23> 그리고, 고립절연막(22)에 에워싸이는 하부전극(21)을 형성한 후, 셀영역 전면에 강유전체막(23)과 상부전극(24)을 형성한 후, 열공정을 수행하여 강유전체막(23)을 결정화시키고, 상부전극(24)만을 패터닝한다.

<24> 그러나, 상술한 종래기술에서 하부전극(21)을 형성한 후 고립절연막(22)을 형성하기 위한 화학적기계적연마(CMP) 과정에서 하부전극(21)을 이루는 금속막 특히 백금막(Pt)(21c)의 무른(soft) 특성으로 인해 결정립계(grain boundary)가 떨어져 나가  $\text{IrO}_2$ /Ir의 계면이 노출되는 스크래치(scratch) 현상이 발생된다. 또한, 노출된  $\text{IrO}_2$ /Ir 전극은 강유전체막의 핵생성 및 결정화 열처리에서 유입되는 산소와 반응하여 캐패시터를 전기적으로 열화시키거나 소프트에러(soft error)를 유발시키는 문제가 있다.

【발명이 이루고자 하는 기술적 과제】

<25> 본 발명은 상기한 종래기술의 문제점을 해결하기 위해 안출한 것으로, 하부전극을 고립절연막에 매립시키는 화학적기계적연마과정시 하부전극을 이루는 금속막이 떨어져 나가는 것을 방지하는데 적합한 강유전체 메모리 소자 및 그 제조 방법을 제공하는데 그 목적이 있다.

【발명의 구성 및 작용】

<26> 상기 목적을 달성하기 위한 본 발명의 강유전체 메모리 소자는 트랜지스터가 형성된 반도체기판, 상기 반도체기판 상부의 평탄한 표면을 갖는 제1 절연물, 상기 제1 절연물을 관통하는 스토리지노드콘택, 상기 스토리지노드콘택에 연결되며 적어도 최상층에 금속(M) 원소가 도핑되어 고용강화된 고용막을 포함하는 하부전극, 상기 하부전극의 표면을 노출시키는 평탄한 표면을 갖고 상기 하부전극을 에워싸는 상기 제1 절연물상의 제2 절연물, 상기 하부전극을 포함한 상기 제2 절연물을 덮는 강유전체막, 및 상기 강유



전체막상에 형성된 상부전극을 포함함을 특징으로 하고, 상기 고용막은 백금막에 금속원소가 도핑되어 고용강화된 백금-M 고용막인 것을 특징으로 하며, 상기 금속(M) 원소로는 Ru, Ir, Rh, Pd, Os, Ag 또는 Au 중에서 선택된 하나 또는 이들중에서 선택된 두 원소인 것을 특징으로 하며, 상기 고용막은 백금-루테튬 고용막, 백금-이리듐 고용막, 백금-로듐 고용막, 백금-팔라듐 고용막, 백금-오스뮴 고용막, 백금-금 고용막 또는 백금-은 고용막중에서 선택된 하나이거나, Ru, Ir, Rh, Pd, Os, Ag 또는 Au 중에서 선택된 두 원소가 고용된 삼원계 고용막 중에서 선택된 하나인 것을 특징으로 한다.

<27> 그리고, 본 발명의 강유전체 메모리 소자의 제조 방법은 트랜지스터가 형성된 반도체기판 상부에 층간절연막을 형성하는 단계, 상기 층간절연막을 관통하여 상기 트랜지스터의 소스/드레인영역에 이르는 스토리지노드콘택을 형성하는 단계, 상기 스토리지노드 콘택에 연결되며 적어도 최상층에 금속(M) 원소가 도핑되어 고용강화된 고용막을 포함하는 하부전극을 형성하는 단계, 상기 하부전극의 표면을 노출시키면서 상기 하부전극에 위싸는 고립절연막을 형성하는 단계, 상기 고립절연막을 포함한 전면에 강유전체막을 형성하는 단계, 및 상기 강유전체막상에 상부전극을 형성하는 단계를 포함함을 특징으로 한다.

<28> 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부 도면을 참조하여 설명하기로 한다.

<29> 도 2a는 본 발명의 실시예에 따른 강유전체 메모리 소자를 도시한 도면이다.

&lt;30&gt;

도 2a를 참조하면, 소스/드레인영역(35a, 35b)과 워드라인(33)으로 이루어진 트랜지스터가 형성된 반도체기판(31), 반도체기판(31) 상부에 평탄한 표면을 갖고 형성된 제1 층간절연막(36)과 제2 층간절연막(39)의 제1 절연물, 제1 절연물을 관통하여 타측 소스/드레인영역(35b)에 연결되는 스토리지노드콘택(40), 스토리지노드콘택(40)에 연결되며 적어도 최상층에 금속(M) 원소가 고용강화된 고용막을 포함하는 하부전극, 하부전극의 표면을 노출시키는 평탄한 표면을 갖고 하부전극을 에워싸는 제1 절연물상의 제2 절연물인 고립절연막(44), 하부전극을 포함한 제2 절연물을 덮는 강유전체막(45), 강유전체막(45)상에 형성된 상부전극(46)으로 이루어진다. 그리고, 일측 소스/드레인영역(35a)에 비트라인콘택(37)을 통해 비트라인(38)이 연결된다.

&lt;31&gt;

도 2a에서, 하부전극은 이리듐막(41a), 이리듐산화막(42a), 백금-M 고용막(43a)의 순서로 적층된 적층구조물이고, 백금-M 고용막(43a)은 백금 타겟(Pt target)에 일정량의 금속(M) 원소를 고용시켜 백금-M 고용막타겟을 제조하며, 이 백금-M 고용막 타겟을 이용하여 스퍼터링(sputtering) 방식으로 백금-M 고용막(43a)을 증착한다.

&lt;32&gt;

백금-M 고용막타겟은 금속(M) 원소를 백금막(Pt)의 결정립 및 결정립계에 도핑시킨 백금-M 고용막(Pt-M solid solution)으로서, 금속(M) 원소로는 Ru, Ir, Rh, Pd, Os, Ag 또는 Au 중에서 선택된 하나 또는 이들중에서 선택된 두 원소이다.

&lt;33&gt;

결국, 백금-M 고용막(43a)은 전술한 금속원소를 함유하고 있는 막으로, 백금-루테튬(Pt-Ru) 고용막, 백금-이리듐(Pt-Ir) 고용막, 백금-로듐(Pt-Rh) 고용막, 백금-팔라듐(Pt-Pd) 고용막, 백금-오스뮴(Pt-Os) 고용막, 백금-금(Pt-Ag) 고용막 또는 백금-은(Pt-Au) 고용막중에서 선택된 하나이거나, Ru, Ir, Rh, Pd, Os, Ag 또는 Au 중에서 선택

된 두 원소가 고용된 삼원계 고용막 중에서 선택된 하나이다. 삼원계 고용막의 예를 들면, 백금-루테튬-로듐(Pt-Ru-Rh) 고용막이다.

<34> 그리고, 백금-M 고용막(43a)은  $100\text{\AA} \sim 4000\text{\AA}$ 의 두께이다.

<35> 도 2b는 도 2a에 도시된 강유전체 메모리 소자의 제조 공정 흐름도로서, 크게 트랜지스터 및 비트라인 형성 과정(S1), 스토리지노드콘택 형성 과정(S2), 이리듐막 및 이리듐산화막 증착 과정(S3), 백금-M 고용막 증착 과정(S4), 하부전극 패터닝 과정(S5), 고립절연막 형성 과정(S6), 강유전체막 형성 과정(S7), 상부전극 형성 과정(S8)으로 이루어진다.

<36> 도 3a 내지 도 3e는 도 2b에 따른 강유전체 메모리 소자의 제조 방법을 도시한 공정 단면도이다.

<37> 도 3a에 도시된 바와 같이, 반도체기판(31)에 소자간 분리를 위한 소자분리막(32)을 형성하여 활성영역을 정의하고, 반도체기판(31)의 활성영역상에 게이트산화막(33)과 워드라인(34)을 차례로 형성한다.

<38> 다음으로, 워드라인(34) 양측의 반도체기판(31)에 불순물을 이온주입하여 트랜지스터의 소스/드레인영역(35a, 35b)을 형성한다.

<39> 한편, 도면에 도시되지 않았지만, 워드라인의 양측벽에 스페이서를 형성할 수 있고, 이에 따라 LDD(Lightly Doped Drain) 구조의 소스/드레인영역을 형성할 수 있다. 즉, 워드라인을 마스크로 저농도 불순물을 이온주입하여 LDD 영역을 형성한 후, 워드라인의 양측벽에 스페이서를 형성하고, 워드라인과 스페이서를 마스크로 고농도 불순물을 이온주입하여 LDD 영역에 접하는 소스/드레인영역을 형성한다.

- <40> 다음으로, 트랜지스터가 형성된 반도체기판(31)상에 제1 층간절연막(36)을 증착 및 평탄화한 후, 콘택마스크(도시 생략)로 제1 층간절연막(36)을 식각하여 일측 소스/드레인영역(35a)을 노출시키는 비트라인콘택홀을 형성하고, 비트라인콘택홀에 매립되는 비트라인콘택(37)을 형성한다. 여기서, 비트라인콘택(37)은 텅스텐(W)을 증착한 후 에치백(Etch back)이나 화학적기계적연마(Chemical Mechanical Polishing; CMP)를 통해 형성할 수 있다.
- <41> 다음으로, 전면에 비트라인용 도전막을 증착한 후 패터닝하여 비트라인콘택에 연결되는 비트라인(38)을 형성하고, 비트라인(38)을 포함한 전면에 제2 층간절연막(39)을 증착한 후 평탄화한다.
- <42> 다음으로, 스토리지노드콘택마스크(도시 생략)로 제2 층간절연막(39)과 제1 층간절연막(36)을 동시에 식각하여 타측 소스/드레인영역(35b)을 노출시키는 스토리지노드콘택홀을 형성한 후, 스토리지노드콘택홀에 스토리지노드콘택(40)을 매립시킨다.
- <43> 한편, 스토리지노드콘택(40)은 폴리실리콘플러그(polysilicon-plug), 티타늄실리사이드(Ti-silicide) 및 티타늄나이트라이드(TiN)의 순서로 적층된 구조물로서, 이들의 형성 방법은 생략하기로 한다. 여기서, 티타늄실리사이드는 폴리실리콘플러그와 하부전극간 오믹콘택을 형성해주며, 티타늄나이트라이드는 폴리실리콘플러그와 하부전극간 상호확산을 방지하는 확산방지막이다.
- <44> 다른 스토리지노드콘택(40)으로는 티타늄막을 증착한 후 열처리하여 티타늄실리사이드막을 형성한 후, 텅스텐막을 플래깅시키고, 배리어메탈로서 티타늄나이트라이드막을 형성할 수 있다.

<45> 다음으로, 스토리지노드콘택(40)을 포함한 제2 층간절연막(39)상에 이리듐막(Ir, 41), 이리듐산화막( $\text{IrO}_2$ , 42)을 차례로 증착한다. 이때, 이리듐막(41)은 산소배리어막이다.

<46> 도 3b에 도시된 바와 같이, 이리듐산화막(42)상에 백금-M 고용막(Pt solid solution)(43)을 증착한다. 이때, 백금-M 고용막(43)의 증착은 먼저 백금 타겟(Pt target)에 일정량의 금속(M) 원소를 고용시켜 백금-M 고용막타겟을 제조하며, 스퍼터링(sputtering) 방식으로 백금-M 고용막(43)을 증착한다.

<47> 백금-M 고용막타겟은 금속(M) 원소를 백금막(Pt)의 결정립 및 결정립계에 도핑시킨 백금-M 고용막(Pt-M solid solution)으로서, 금속(M) 원소로는 Ru, Ir, Rh, Pd, Os, Ag 또는 Au 중에서 선택된 하나 또는 이들중에서 선택된 두 원소이다.

<48> 결국, 백금-M 고용막(43)은 전술한 금속원소를 함유하고 있는 막으로, 백금-루테튬(Pt-Ru) 고용막, 백금-이리듐(Pt-Ir) 고용막, 백금-로듐(Pt-Rh) 고용막, 백금-팔라듐(Pt-Pd) 고용막, 백금-오스뮴(Pt-Os) 고용막, 백금-금(Pt-Ag) 고용막 또는 백금-은(Pt-Au) 고용막중에서 선택된 하나이거나, Ru, Ir, Rh, Pd, Os, Ag 또는 Au 중에서 선택된 두 원소가 고용된 삼원계 고용막 중에서 선택된 하나이다. 삼원계 고용막의 예를 들면, 백금-루테튬-로듐(Pt-Ru-Rh) 고용막이다.

<49> 한편, 백금-M 고용막 타겟 형성시, 도핑되는 금속(M) 원소의 도핑 함량은 1%~15%이다. 금속(M) 원소의 도핑은 금속원소의 고용도에 따라 다르지만, 백금-M 고용막에서 다른 상(phase)이 발생되지 않도록 고용도보다 작은 함량으로 도핑시킨다.

- <50> 그리고, 백금-M 고용막(43)은  $100\text{\AA} \sim 4000\text{\AA}$ 의 두께로 증착되며, 스퍼터링 증착시  $25^{\circ}\text{C} \sim 600^{\circ}\text{C}$ 의 온도에서 증착하며, 플라즈마를 생성하기 위한 파워를  $500\text{W} \sim 3\text{kW}$ 로 인가하고, 압력은  $0.5\text{mtorr} \sim 20\text{torr}$ 이다.
- <51> 백금고용막타겟을 이용한 스퍼터링방식의 백금고용막 증착은, 진공상태에서 반응성 증착챔버내의 백금-M 고용막타겟과 이리듐산화막이 증착된 반도체기판(31) 사이에 아르곤(Ar) 가스를 공급한 다음, 아르곤가스를 이온화시켜 아르곤 플라즈마를 형성하고, 플라즈마를 구성하는  $\text{Ar}^+$  이온들을 백금-M 고용막 타겟으로 전기장에 의해 가속시켜 백금-M 고용막 타겟의 표면과 충돌시킨다. 이러한 충돌에 의한 운동량의 교환에 의하여 백금-M 고용막타겟의 표면 원자나 분자가 튀어나오고, 튀어나온 원자나 분자들( $\text{Pt}^+$ ,  $\text{M}^+$ )은 화학반응하여 반도체기판(31)상의 이리듐산화막(42)상에 백금고용막(43)으로 증착된다.
- <52> 도 3c에 도시된 바와 같이, 백금-M 고용막(43)상에 하부전극을 정의하는 마스크(도시 생략)를 형성한 후, 마스크를 식각마스크로 백금-M 고용막(43), 이리듐산화막(42), 이리듐막(41)을 동시에 패터닝하여 이리듐막(41a), 이리듐산화막(42a), 백금-M 고용막(43a)의 순서로 적층된 하부전극을 형성한다.
- <53> 도 3d에 도시된 바와 같이, 적층구조의 하부전극을 포함한 전면에 고립절연막(44)을 형성한다. 이때, 고립절연막(44)은 불순물이 함유된 실리콘산화물로서, HDP(High Density Plasma) 산화막, BPSG, BSG 및 PSG 중에서 선택된 하나이다. 여기서, 고립절연막(44)으로서 불순물을 포함하는 실리콘산화물을 이용하는 이유는 불순물을 포함하지 않는 실리콘산화물은 강한 압축응력(compressive stress)을 하부전극에 인가하여 강유전체 캐패시터의 단락을 유도하며, 하부전극을 따라 덮혀 평탄화에 어려움이 있기 때문이다.



- <54> 다음으로, 하부전극을 이루는 백금-M 고용막(43a)의 표면이 드러날때까지 화학적기계적연마를 통해 평탄화시켜 이웃한 하부전극과 서로 격리되는 하부전극을 형성한다. 이때, 화학적기계적연마후 잔류하는 고립절연막(44)은 적층구조의 하부전극을 에워싸는 형태를 갖는다.
- <55> 이와 같이, 하부전극을 고립절연막(44)에 에워싸이는 형태로 형성하므로써 캐패시터의 단차에 따른 마스크작업의 부담 및 평탄화의 어려움, 그리고 상하부전극간 단락을 방지할 수 있는 장점을 갖는다.
- <56> 한편, 하부전극을 서로 격리시키는 다른 방법으로는 하드마스크(hardmask) 기술을 이용하는데, 하드마스크로 티타늄나이트라이드막(TiN)을  $200^{\circ}\text{C} \sim 600^{\circ}\text{C}$ 의 온도에서  $100\text{ \AA} \sim 2000\text{ \AA}$ 의 두께로 형성한 후, 화학적기계적연마시 스톱막(stop layer)으로 이용한다.
- <57> 전술한 바에 따르면, 백금-M 고용막(43a)이 금속원소가 도핑된 고용막이므로 기계적인 스트레스에 강한 결합특성을 갖기 때문에 화학적기계적연마시 뜯어지는 스크래치 현상을 방지한다.
- <58> 또한, 후속 강유전체막의 핵생성 및 결정화 열처리에서 유입되는 산소의 확산을 방지하여 캐패시터를 전기적으로 안정화시킨다.
- <59> 도 3e에 도시된 바와 같이, 화학적기계적연마후 평탄화된 결과물상에 강유전체막(45)을  $50\text{ \AA} \sim 3000\text{ \AA}$ 의 두께로 성장시키고, 강유전체막(45)상에 상부전극(46)을 형성한다. 여기서, 강유전체막(45)은 핵생성 및 성장과 결정립성장의 시퀀스(sequence)를 갖고, 핵성장은 급속열처리(Rapid Thermal Anneal; RTA) 방법을 이용하며, 급속열처리시

램프업(ramp up) 속도는  $80^{\circ}\text{C} \sim 250^{\circ}\text{C}$ 이다. 그리고, 결정립성장은 로열처리(furnace anneal)를 수행하며, 로열처리시 온도는  $500^{\circ}\text{C} \sim 800^{\circ}\text{C}$ 이다.

<60> 한편, 강유전체막(45)으로는  $\text{SBT}[\text{SrBi}_2\text{Ta}_2\text{O}_9]$ ,  $\text{SBTN}[\text{SrBi}_2(\text{Ta}_{1-x}\text{Nb}_x)_2\text{O}_9]$ ,  $\text{BTO}(\text{Bi}_4\text{Ti}_3\text{O}_{12})$ ,  $\text{BLT}[\text{Bi}_{1-x}\text{La}_x\text{Ti}_3\text{O}_{12}]$  또는  $\text{PZT}[(\text{Pb}, \text{Zr})\text{TiO}_3]$ 중에서 선택된 하나이거나 이들의 조합막이고, 상부전극(46)은 화학기상증착법(CVD), 물리기상증착법(PVD), 원자층증착법(ALD) 및 플라즈마원자층증착법(PEALD) 중에서 선택된 하나의 증착법을 이용하여 증착되며, 백금(Pt), 이리듐(Ir), 루테튬(Ru), 레늄(Re) 및 로듐(Rh) 중에서 선택된 하나이거나 이들의 복합구조물을 이용한다.

<61> 전술한 도 2의 강유전체 메모리 소자에서는 이리듐막, 이리듐산화막 및 백금-M고용막의 순서로 적층된 하부전극을 이용하였으나, 다른 예로서 고립절연막에 의해 에워싸이는 하부전극을 갖는 강유전체 메모리 소자에서 백금-M고용막만을 하부전극으로 이용하는 경우에도 적용가능하다.

<62> 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.



**【발명의 효과】**

<63> 상술한 본 발명은 하부전극을 이루는 금속막으로 금속원소가 고용강화된 고용막을 이용함으로써 고립절연막에 하부전극을 매립시키는 화학적기계적연마과정시 하부전극이 뜯어져 나가는 것을 방지하여 캐패시터의 전기적 특성을 확보할 수 있는 효과가 있다.

【특허청구범위】

【청구항 1】

트랜지스터가 형성된 반도체기판;

상기 반도체기판 상부의 평탄한 표면을 갖는 제1 절연물;

상기 제1 절연물을 관통하는 스토리지노드콘택;

상기 스토리지노드콘택에 연결되며 적어도 최상층에 금속(M) 원소가 도핑되어 고용강화된 고용막을 포함하는 하부전극;

상기 하부전극의 표면을 노출시키는 평탄한 표면을 갖고 상기 하부전극을 에워싸는 상기 제1 절연물상의 제2 절연물;

상기 하부전극을 포함한 상기 제2 절연물을 덮는 강유전체막; 및

상기 강유전체막상에 형성된 상부전극

을 포함함을 특징으로 하는 강유전체 메모리 소자.

【청구항 2】

제1항에 있어서,

상기 고용막은 백금막에 금속원소가 도핑되어 고용강화된 백금-M 고용막인 것을 특징으로 하는 강유전체 메모리 소자.

【청구항 3】

제1항 또는 제2항에 있어서,

상기 금속(M) 원소로는 Ru, Ir, Rh, Pd, Os, Ag 또는 Au 중에서 선택된 하나 또는 이들중에서 선택된 두 원소인 것을 특징으로 하는 강유전체 메모리 소자.

【청구항 4】

제1항에 있어서,

상기 하부전극은 이리듐막, 이리듐산화막 및 상기 고용막의 순서로 적층된 적층막인 것을 특징으로 하는 강유전체 메모리 소자.

【청구항 5】

제1항에 있어서,

상기 고용막은  $100\text{\AA} \sim 4000\text{\AA}$ 의 두께인 것을 특징으로 하는 강유전체 메모리 소자.

【청구항 6】

트랜지스터가 형성된 반도체기판 상부에 층간절연막을 형성하는 단계;

상기 층간절연막을 관통하여 상기 트랜지스터의 소스/드레인영역에 이르는 스토리지노드콘택을 형성하는 단계;

상기 스토리지노드콘택에 연결되며 적어도 최상층에 금속(M) 원소가 도핑되어 고용강화된 고용막을 포함하는 하부전극을 형성하는 단계;

상기 하부전극의 표면을 노출시키면서 상기 하부전극을 에워싸는 고립절연막을 형성하는 단계;

상기 고립절연막을 포함한 전면에 강유전체막을 형성하는 단계; 및  
상기 강유전체막상에 상부전극을 형성하는 단계  
를 포함함을 특징으로 하는 강유전체 메모리소자의 제조 방법.

**【청구항 7】**

제6항에 있어서,  
상기 하부전극을 형성하는 단계에서,  
상기 고용막으로서 백금막에 금속원소가 도핑되어 고용강화된 백금-M 고용막을 형성하는 것을 특징으로 하는 강유전체 메모리 소자의 제조 방법.

**【청구항 8】**

제7항에 있어서,  
상기 금속원소는 Ru, Ir, Rh, Pd, Os, Ag 또는 Au 중에서 선택된 하나 또는 이들중  
에서 선택된 두 원소인 것을 특징으로 하는 강유전체 메모리 소자의 제조 방법.

**【청구항 9】**

제7항에 있어서,  
상기 백금-M 고용막을 형성하는 단계는,  
백금 타겟에 일정량의 금속(M) 원소를 고용시켜 백금-M 고용막타겟을 형성하는 단계; 및

상기 백금-M 고용막타겟을 스퍼터링시켜 상기 백금-M 고용막을 증착하는 단계를 포함함을 특징으로 하는 강유전체 메모리소자의 제조 방법.

【청구항 10】

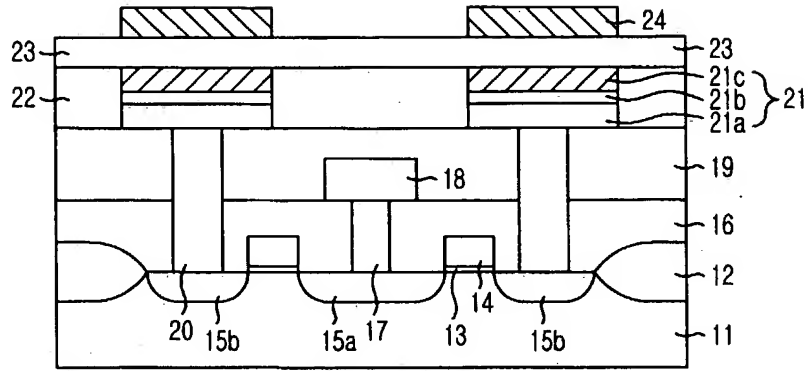
제9항에 있어서,

상기 백금-M 고용막을 증착하는 단계는,

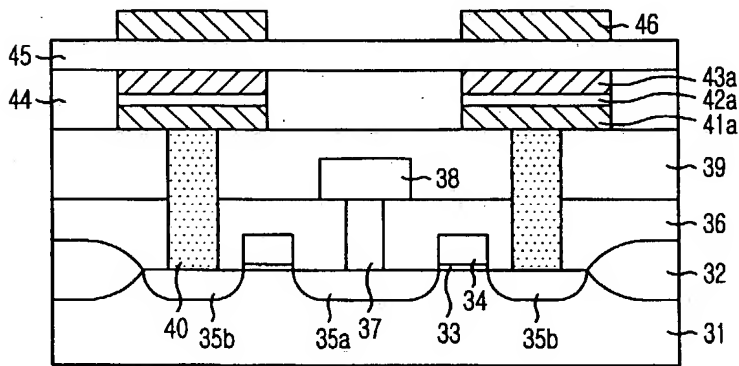
25℃~600℃의 온도에서 플라즈마를 생성하기 위한 파워를 500W~3kW로 인가하고, 0.5mtorr~20torr의 증착압력하에서 이루어짐을 특징으로 하는 강유전체 메모리 소자의 제조 방법.

【도면】

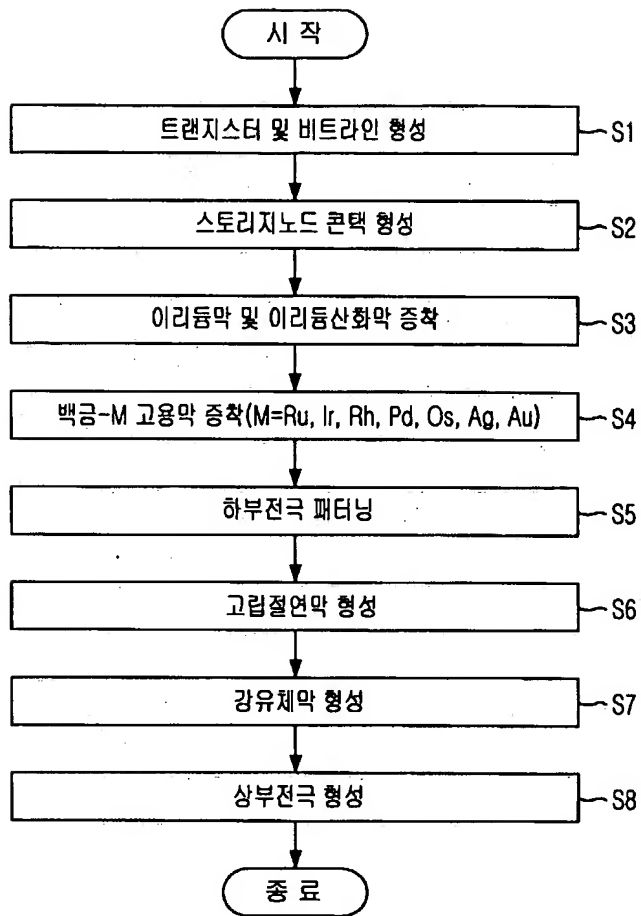
【도 1】



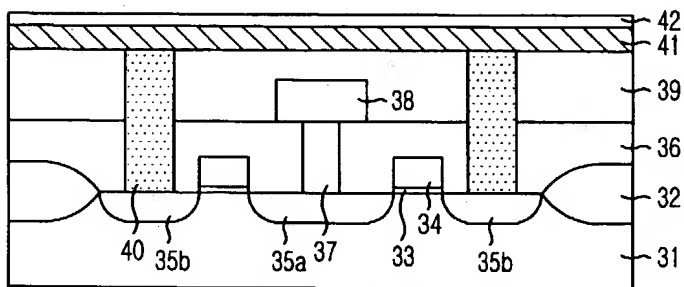
【도 2a】



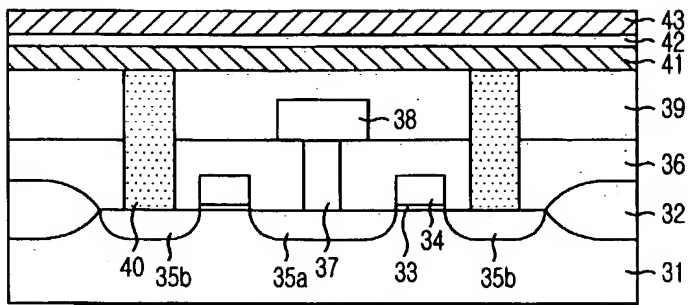
【도 2b】



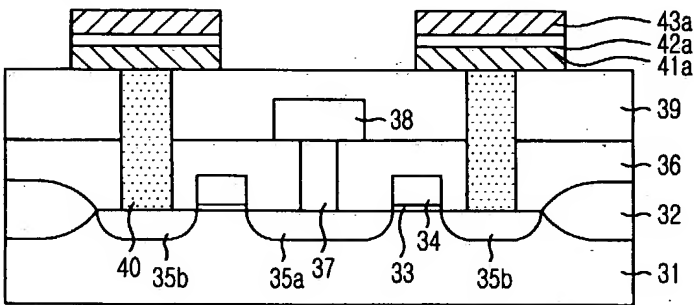
【도 3a】



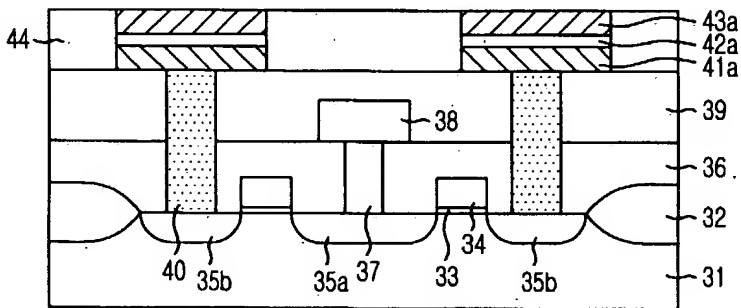
【도 3b】



【도 3c】



【도 3d】



【도 3e】

